

(4)

English Excerpt of Reference 4 (Translation)

[Claim of Utility Model]

A digital-analogue converter comprising:

input means for inputting a digital signal of  $n$  ( $n$  is a positive integer number) bits;

a first encoding circuit having a first output line group and a second output line group respectively including output lines of which the numbers are larger by 1 than the maximum number provided by  $n/2$ , the first encoding circuit converting upper  $n/2$  bits of the digital signal into ' $a$  ( $a$  is a positive integer number)' of a decimal number to output a first output to the output line which corresponds to the number equal to the ' $a+1$ '-th of the first output line group, and then output a second output to the output lines which correspond to the numbers less and equal to the ' $a+1$ '-th of the second output line group;

a second encoding circuit having a third output line group including output lines of which the number is larger by 1 than the maximum number provided by  $n/2$ , the second encoding circuit converting lower  $n/2$  bits of the digital signal into ' $b$  ( $b$  is a positive integer number)' of a decimal number to output a third output to the output lines which correspond to the numbers less and equal to the ' $b$ '-th of the third output line group;

a matrix of current source switching cells formed on a single semiconductor substrate including columns and rows of which the respective numbers are larger by 1 than the maximum number provided by  $n/2$ , the columns of the current source switching cells being respectively connected to output lines of the first output line group and output lines of the second

output line group, the rows of the current source switching cells being respectively connected to output lines of the third output line group and current output lines, each of the current source switching cells being arranged such that the predetermined current is applied to the current output line when the second output is output while the first output is not output, and when the first output is output while the third output is output; and

output means for adding and outputting currents applied to the current output lines which are respectively connected to the rows of the matrix of the current source switching cells;

wherein the columns and the rows including positive errors and the columns and the rows including negative errors are arranged centered on a smallest error part in the columns and the rows of the matrix of the current source switching cells so as to be sequentially discretely selected corresponding to an increment of decimal numbers which are provided by converting the upper  $n/2$  bits and the lower  $n/2$  bits of the digital signal.

[Brief description of drawings]

Fig. 1 is a configuration diagram of a conventional DAC.

Fig. 2 is a schematic diagram illustrating construction of the conventional DAC.

Fig. 3 shows a distribution model of errors.

Fig. 4 is a characteristic diagram showing linearity errors.

Fig. 5 is a schematic diagram illustrating configuration of an embodiment in accordance with the present invention.

111-115 digital input terminal

102-104 encoding circuit

## ⑫ 実用新案公報(Y2)

平1-19474

⑨ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

②④公告 平成1年(1989)6月6日

H 03 M 1/06

6832-5J

(全6頁)

④ 考案の名称 デジタルーアナログ変換器

審判 昭61-18249

② 実願 昭55-172828

⑤ 公開 昭57-94243

② 出願 昭55(1980)12月2日

④ 昭57(1982)6月10日

⑦ 考案者 笠 和 男 東京都港区芝五丁目33番1号 日本電気株式会社内

⑧ 出願人 日本電気株式会社 東京都港区芝五丁目33番1号

⑨ 代理人 弁理士 内原 晋

審判の合議体 審判長 加藤 貴士 審判官 中村 剛基 審判官 浅見 保男

⑩ 参考文献 特公 昭52-42601(JP, B1)

1

## ⑥ 実用新案登録請求の範囲

$n$  ( $n$ は正の整数) ビットのデジタル信号を入力する手段と、 $n/2$  ビットで得られる最大数より“1”だけ多い数の出力線をもつ第1の出力線群と第2の出力線群とを有し、前記デジタル信号の上位  $n/2$  ビットを10進数の  $a$  ( $a$ は正の整数) に変換して前記第1の出力線群中の  $a+1$  番目に該当する出力線に第1の出力を生じ、前記第2の出力線群中の  $a+1$  番以下の番号に該当する出力線に第2の出力を生じる第1のエンコード回路と、 $n/2$  ビットで得られる最大数より“1”だけ多い数の出力線をもつ第3の出力線群を有し、前記デジタル信号の下位  $n/2$  ビットを10進数の  $b$  ( $b$ は正の整数) に変換して前記第3の出力線群中の  $b$  番以下の番号に該当する出力線に第3の出力を生じる第2のエンコード回路と、 $n/2$  ビットで得られる最大数より“1”だけ多い数の列と行とを有する単一の半導体基板上に形成された電流源スイッチセルのマトリクスで、各列の前記電流源スイッチセルにはそれぞれ前記第1の出力線群中の1つの出力線と前記第2の出力線群中の1つの出力線とが接続され、各行の前記電流源スイッチセルにはそれぞれ前記第3の出力線群中の1つの出力線と1つの電流出力線とが接続され、各電流源スイッチセルは前記第2の出力があつてかつ前記第1の出力がない時および前記第1の出力があつてかつ前記第3の出力がある時に前記電流出力線に所定の値の電流を流す

2

ように構成されている電流源スイッチセルのマトリクスと、前記電流源スイッチセルのマトリクスの前記各行に接続された前記電流出力線に得られる電流を加算して出力する出力手段とを有するデジタルーアナログ変換器において、前記電流源スイッチセルのマトリクスの列および行の誤差最小部分を中心として誤差正の列および行と誤差負の列および行が前記デジタル信号の上位  $n/2$  ビットおよび下位  $n/2$  ビットを変換して得られる10進数の増加に対応して順次離散的に選択されるように配置されていることを特徴とするデジタルーアナログ変換器。

## 考案の詳細な説明

本考案は行列状に隣接して配置された電流源スイッチセル群を有するモノリシックデジタルーアナログ変換器の改良に関するものである。

出願人は高速動作、低電圧動作及び単調増加特性を容易に満足する電流出力型モノリシックデジタルーアナログ変換(DAC)の回路手段を特願昭55-57395にて提案した。第1図はその基本構成図であり、6ビットのデジタル入力の列を示している。

第1図において、111は最上位ビット(MSB) デジタル入力端子であり、112, 113, 114, 115はそれぞれ第2、第3、第4、第5ビットデジタル入力端子であり、116は最下位ビット(LSB) デジタル入力端子である。102, 103, 104はそれぞれエン

コード回路であり、ROM(リードオンリーメモリ)で構成される。又100は電流源スイッチセルの行列配置されたものであり、各々の電流源スイッチセルは同一形状のものが行列状に隣接して配置されている。前述の第1のエンコード回路102はデジタル入力の上位3ビット信号から $A_0 \sim A_7$ なる8個の第1エンコード信号群を作り、それぞれ信号線120~127を通して同一列に属する電流源スイッチセルに対して対応する信号 $A_0 \sim A_7$ を供給する。ここで第0列~第7列をそれぞれ160~167の番号で示した。よつて例えば信号線120は第0列160に属する全ての電流源スイッチセルへ共通に信号 $A_0$ を供給する。

第2のエンコード回路103は前述の第1のエンコード信号群 $A_0 \sim A_7$ の信号をさらにエンコードし第2のエンコード信号群 $B_0 \sim B_7$ を作り、それぞれ信号線130~137を通して、同一列に属する電流源スイッチセルに対して対応する信号 $B_0, B_1, \dots, B_7$ を供給する。

一方第3のエンコード回路104は、第4、第5ビット及び最下位ビット(LSB)で構成される下位3ビットデジタル信号から $C_0 \sim C_7$ なる8個の第3のエンコード信号群を作り、それぞれ信号線140~147を通して、同一行に属する電流源スイッチセルに対して各々対応する信号 $C_0, C_1, C_7$ を供給する。ここで第0行~第7行をそれぞれ170~177の番号で示した。よつて例えば信号143は第3行173に属する全ての電流源スイッチセルへ共通に信号 $C_3$ を供給する。

各電流源スイッチセルからの出力電流は150~157で示した出力線を通して端子105から取り出す事が出来る。

次に本回路手段の動作原理について説明する。第1図の構成例は6ビットのDACであり、上位3ビット信号によりDACの入出力範囲を8セグメントに等分割する事が出来る。今デジタル入力コードの上位3ビットの000なるコードに対して第8セグメントを、順に001なるコードから111なるコードまで、第1~第7セグメントを定義する。第8セグメントには000000から000111までの8組のコードが属し、第1セグメントには001000から001111までの8組のコードが属し、以下同様に第7セグメントまで各セグメントには対応する8組のデジタル入力コードが各々属する。第1

図の構成例に於いては6ビットに対応して $2^6=64$ 個の電流源スイッチセルが8行×8列構成で電流源スイッチセル群100として行列配置されており、各列160~167に属する電流源スイッチセルが第0~第7セグメントに対応しており、各行140~147に属する電流源スイッチセルが下位3ビットで決まる加算重みビットに対応している。例えば、今デジタル入力が011111なるコードである時、上位3ビットの011なるコードに対応して第3セグメントまでの全電流源スイッチセルを出力状態とし、さらに第4セグメント中の111なる下位ビットのコードに対応した7個の電流源スイッチセルを出力状態とし、第4セグメント中の他の1個の電流源スイッチセル及び第5、第6、第7セグメントに属する全ての電流源スイッチセルを禁止状態とする事によつて011111なるコードに対応したアナログ出力電流を得る事が可能となる。

第2図はこのときの単位セルの状態を示す。図中、 $I_0$ で示された31個の単位セルが出力状態となる。相補電流出力型DACの場合は、 $I_0$ で示された31個の単位セルの出力電流が $I_0$ 出力端子105(第1図)へ導かれる。201, 202および203はそれぞれ第1図におけるエンコード回路102, 103および104の出力レベルを示す。電流源スイッチセルは、出力レベル201が低レベルでかつ出力レベル202が低レベルの時に単位電流を出力線150~157に流し、出力レベル201が高レベルの時には出力レベル203が低レベルの時にのみ単位電流を対応する出力線150~157に流し、合計電流が端子105から取り出される。各電流源スイッチセルは出力レベル202が高レベルの時および出力レベル201が高レベルで出力レベル202が低レベルでかつ出力レベル203が高レベルの時には出力電流を生じない。このようにして、出力電流を生じる電流源スイッチセル群 $I_0$ と出力電流を生じない電流源スイッチセル群 $\bar{I}_0$ とが形成される。

本回路手段を用いれば多ビットデジタル入力の高精度DACを得るためには基本的には行列状に配列されたセル数を増加させること及び入力エンコード回路のROMのビット数を増加させることで達成することができる。

しかしながら単位電流源セルが増加するにつれて、またペレット面積が広がるにしたがつて、

必然的に単位電流源セル間に不整合性が現われてくる。すなわち、単位電流源スイッチセル群の中心部と周辺部あるいは縁端部ともう一方の縁端部においては単位電流源スイッチセルを構成しているトランジスタの不整合性やチップ上の温度勾配等により各単位電流源セルの特性が異ってくる。さらに集積回路においては、このような特性の不整合性はその熱発生源に対して、ある一定の勾配をもつて単位電流源スイッチセル部の縁端部からもう一方の縁端部へ向つて発生する。それ故、隣接する単位電流源セル間あるいはその近傍では整合性がよいが一方の縁端部と他方の縁端部にある素子間の不整合性は大きくなる。

したがって、第2図に示すように、あるデジタル入力に対して単位電流源スイッチセル群のある固まった部分を選択することはそのアナログ出力電流に偏った誤差を発生させる。

いま、ベレット上の温度勾配等により単位電流源スイッチセル群に発生する誤差を第3図に示すように単純化したモデルで考える。このモデルでは、第0行より $+3e$ 、 $+2e$ 、…と順次減少し、第7行では $-3e$ なる誤差が発生すると仮定する。また、このモデルでは同一行上の単位電流源スイッチセルは同一の誤差を持っているものとする。

そこで、入力デジタル量に対応した単位電流源スイッチセルを選択する場合、第2図に示す従来例による方法では、第4図の401で表わされるように $+6e$ のリニヤリテイエラーが発生する。

本考案はデジタル入力に対して選択される単位電流源スイッチセルの配列を工夫することにより各セルに存在する誤差を相殺もしくは平均化してリニヤリテイエラーを改善することによつて、高精度のモノリシックDACを提供することを目的とする。

以下図面に従つて本考案を説明する。第5図に本考案を6ビットDACに適用した場合の実施例を示す。本実施例は、第1図の構成図において、102、103および104のエンコード回路の

ROM構成を変更するのみで実現される。

すなわち、第2図に示すように前記特願昭55-57395においては $A_0 \sim A_7$ 、 $B_0 \sim B_7$ および $C_0 \sim C_7$ のエンコード信号を発生するエンコード回路部のROMが $A_0$ 、 $A_1$ 、 $A_2$ 、…、 $A_7$ 、 $B_0$ 、 $B_1$ 、 $B_2$ 、…、 $B_7$ および $C_0$ 、 $C_1$ 、 $C_2$ 、…、 $C_7$ の順序で配列されているが、これを第5図に示すように $A_0$ 、 $A_4$ 、 $A_2$ 、 $A_6$ 、 $A_7$ 、 $A_3$ 、 $A_5$ 、 $A_1$ 、 $B_0$ 、 $B_4$ 、 $B_2$ 、 $B_6$ 、 $B_7$ 、 $B_3$ 、 $B_5$ 、 $B_1$ および $C_0$ 、 $C_2$ 、 $C_4$ 、 $C_6$ 、 $C_7$ 、 $C_5$ 、 $C_3$ 、 $C_1$ の順序で配列することによつて、例えばデジタル入力が〔011111〕の場合、選択される単位電流源スイッチセルは第5図に示すように1列おきに選択され、チップ上の全単位電流源スイッチセル群の中から偏ることなく選択される。

本実施例を第3図に示す誤差の分布モデルに適用した場合そのリニヤリテイエラーは第4図の402に示すように、最大 $+5e$ 改善され総合でも $+3e$ 改善される。

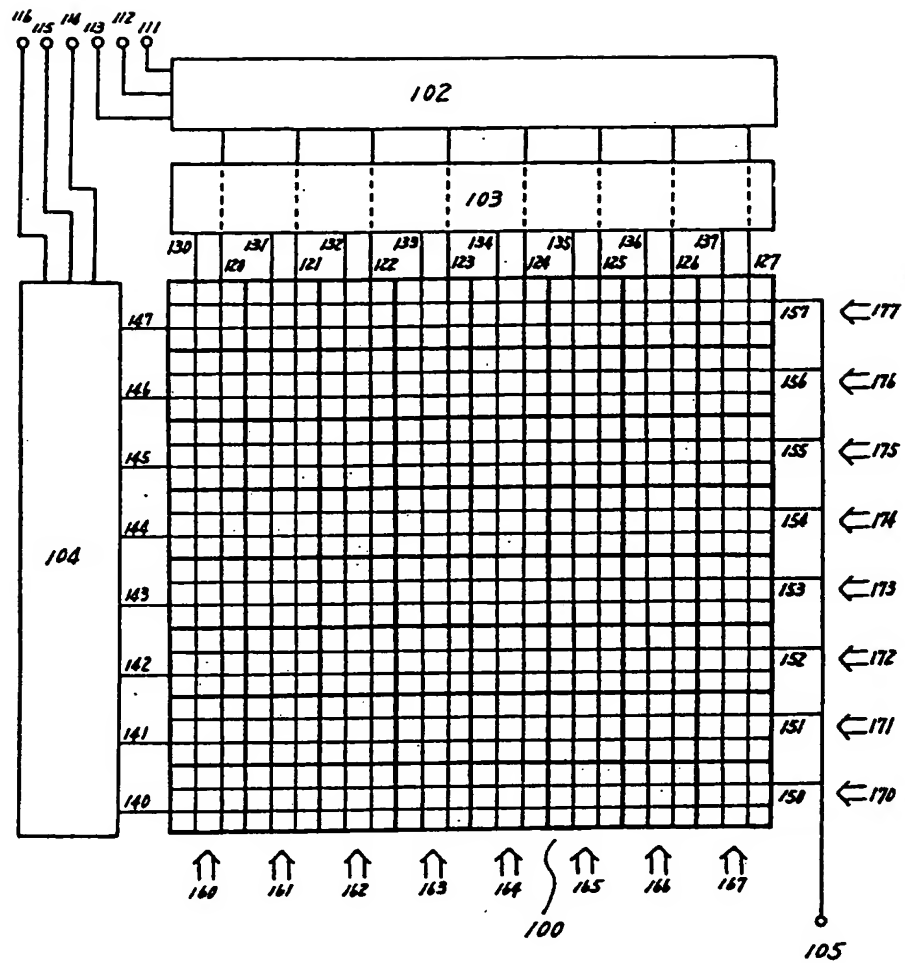
このように従来例のエンコード回路のROMの並べ方を変更するのみでリニヤリテイエラーを半減することができる。本実施例においては、誤差の分布方向が一方方向（列方向）の場合を考えたが、それが2方向（行方向および列方向）の場合でも、単位電流源スイッチセルを行方向、および列方向に対して離散的に選択することによつて、同様の効果が得られることは明らかである。

本考案は多ビットDAC程その効果は大きく、特に現在DACの主流となりつつある12ビット以上のDACをモノリシックチップ上に構成する場合に好適な配列手段を提供している。

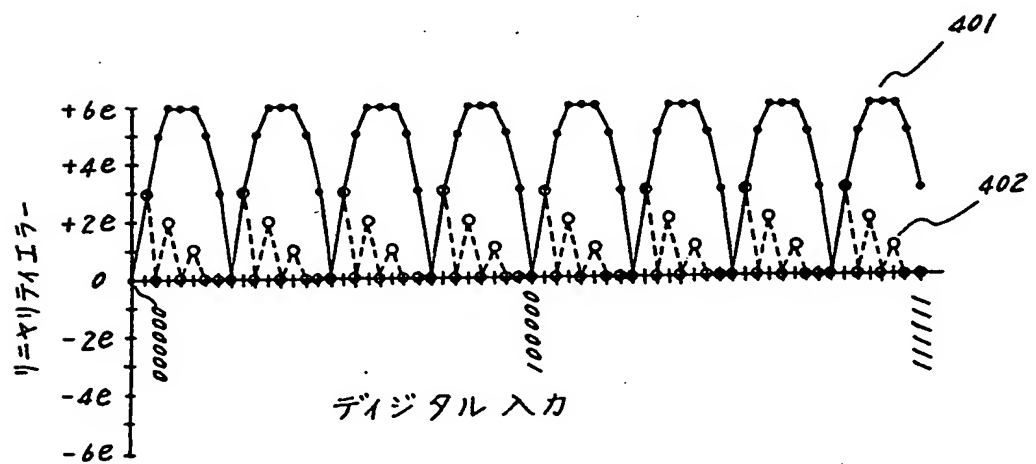
#### 図面の簡単な説明

第1図は従来DACの構成図、第2図は従来DACの構成説明図、第3図は誤差の分布モデル、第4図はリニヤリテイエラーの特性図、第5図は本考案のDACの構成説明図である。

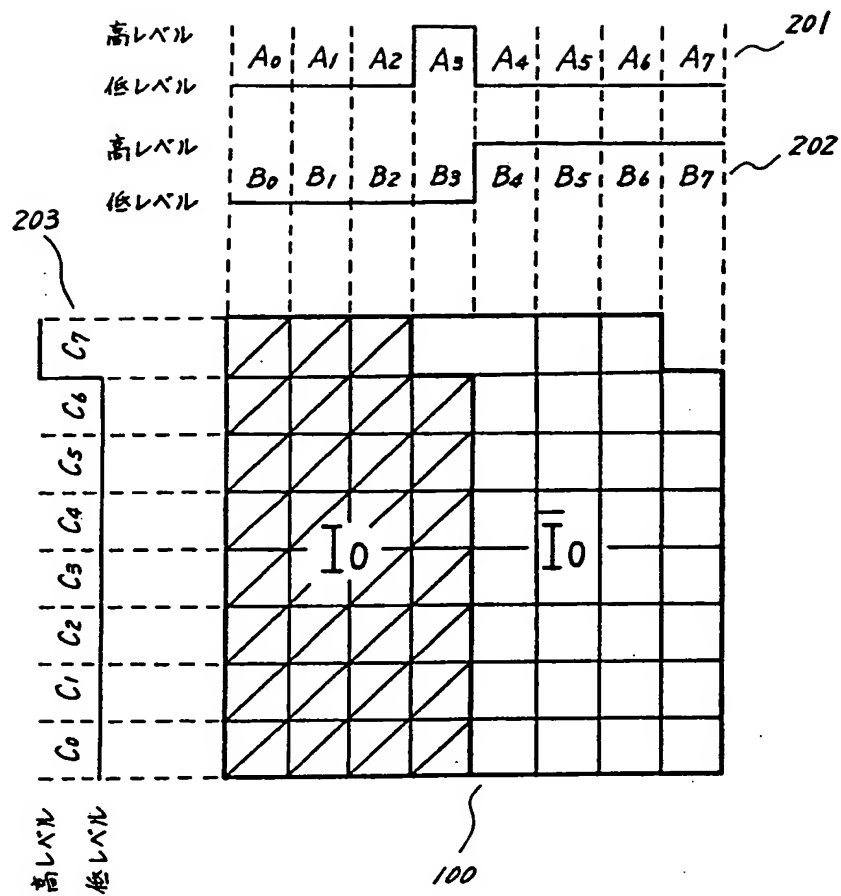
111～115……デジタル入力端子、102～104……エンコード回路。



第 1 図



第 4 図



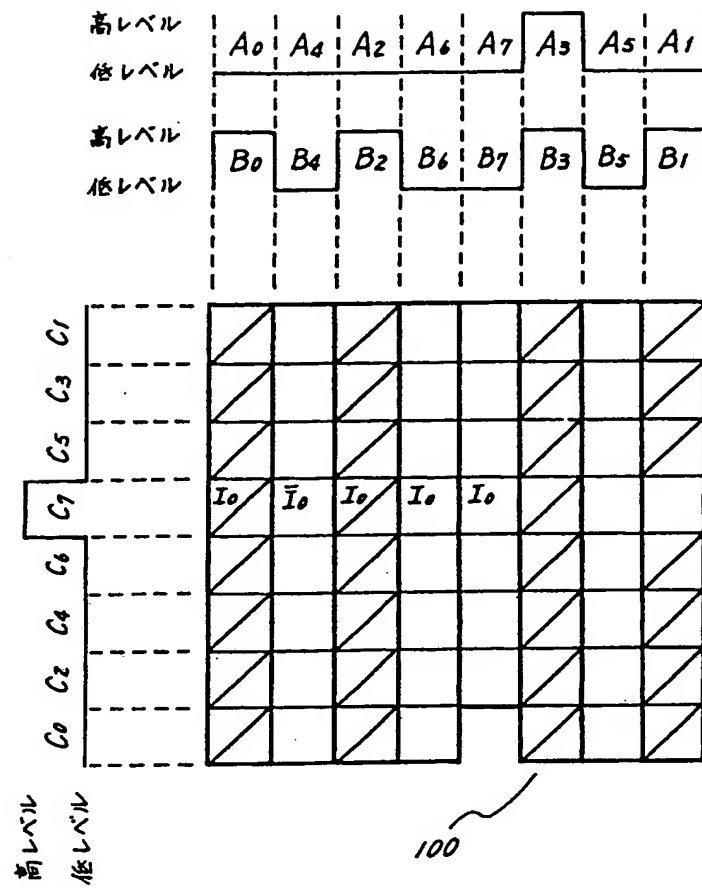
第 2 図

7			$-3e$			
6			$-2e$			
5			$-1e$			
4			0			
3			0			
2			$+1e$			
1			$+2e$			
0			$+3e$			

Reference numeral 100 is shown below the table.

第 3 図





第 5 図

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**